

5a verifica AESO

L'indirizzo email della persona che ha risposto (**null**) è stato registrato quando hai inviato questo modulo.

*Campo obbligatorio

1. Email *

2. Numero di Matricola dello studente: *

3. In un sistema con gerarchia di memoria con cache L1 ed L2 e memoria centrale M, nel calcolo del tempo medio di accesso (AMAT):

Contrassegna solo un ovale.



viene sempre sommato almeno un tempo di accesso alla cache L1



si somma almeno un tempo di accesso in cache L1 solo in caso di fault L1



si somma almeno un tempo di accesso in cache L1 solo in caso di fault L1 o L2

4. In un sistema con più livelli di cache:

Contrassegna solo un ovale.



i livelli inferiori (più vicini al processore) hanno capacità maggiore e tempo di accesso minore



i livelli inferiori (più vicini al processore) hanno capacità e tempo di accesso minore



i livelli inferiori (più vicini al processore) hanno capacità minore e tempo di accesso maggiore

5. Un aumento della capacità complessiva C di una cache (numero di blocchi/linee * numero di parole per linea):

Contrassegna solo un ovale.

- ☐ comporta comunque un aumento dell'hit rate
- ☐ può comportare un aumento dell'hit rate, in caso le applicazioni siano caratterizzate esclusivamente da località spaziale
- ☒ può comportare sia un aumento che una diminuzione dell'hit rate

6. In una cache ad indirizzamento diretto, locazioni di memoria di indirizzo consecutivo

Contrassegna solo un ovale.

- ☐ vanno sempre nella stessa linea
- ☒ possono andare in linee diverse ma consecutive fra di loro
- ☐ possono andare in linee diverse e non consecutive fra di loro

7. In due sistemi che differiscono solo per le cache L1, che sono nei due sistemi di identica capacità ma con modalità di indirizzamento diverse:

Contrassegna solo un ovale.

- ☐ Le prestazioni (tempo di completamento) di un qualsiasi programma sono diverse
- ☒ Le prestazioni (tempo di completamento) di un qualsiasi programma possono essere diverse
- ☐ Le prestazioni (tempo di completamento) di un qualsiasi programma saranno sicuramente simili visto l'identica capacità della cache L1

8. Un programma che presenta elevata località spaziale nell'accesso ai dati

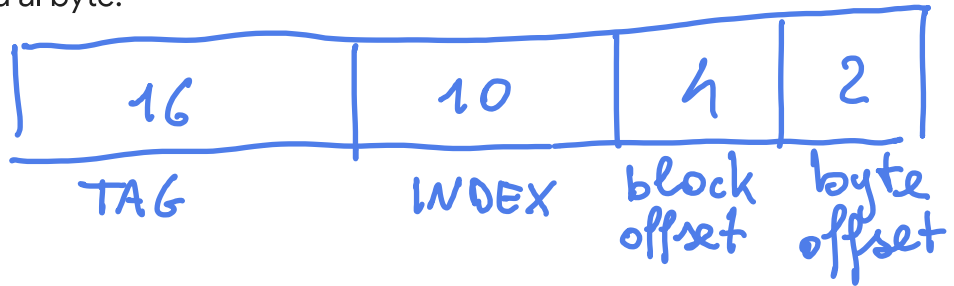
Contrassegna solo un ovale.

- ☐ presenta necessariamente anche una buona località temporale nell'accesso ai dati
- ☐ non presenta una buona località temporale nell'accesso ai dati
- ☒ può non presentare necessariamente una buona località temporale nell'accesso ai dati

9. In una cache ad indirizzamento diretto, con $b=16$ parole per linea, 1K linee, indirizzamento della memoria al byte:

Contrassegna solo un ovale.

- ☐ Il TAG è di 18 bit
- ☒ Il TAG è di 16 bit
- ☐ Il TAG è di 14 bit



10. In una cache ad accesso associativo su insiemi, 256 insiemi, ciascuno da 4 linee, $b=4$ parole, indirizzi a 32 bit ed indirizzamento della memoria al byte, gli indirizzi 0x10fa0b00 e 0x10ff0b01

Contrassegna solo un ovale.

- ☒ mappano su due linee dello stesso insieme, ma non possono dar luogo a thrashing, perchè l'insieme contiene più di due linee
- ☐ mappano su due linee di insiemi diversi, e quindi non possono dar luogo a thrashing
- ☐ mappano sullo stesso insieme e possono dar luogo a thrashing, visto che la parte basse dell'indirizzo differisce solo per l'offset di byte

Stesso index, TAG diverso → vanno in 2 linee diverse dello stesso insieme.

11. Per identificare una linea da sostituire in una cache completamente associativa:

Contrassegna solo un ovale.

- ☐ è necessario adottare una politica LRU
- ☒ è preferibile adottare una politica LRU ma si può anche adottare una politica random
- ☐ una politica random dà sempre risultati migliori rispetto ad una politica LRU

12. Quando per trattare le scritture nella cache di primo livello si adotti una politica write through (con write buffer):

Contrassegna solo un ovale.

- ☐ il processore deve attendere la scrittura in cache e quella nel livello superiore della gerarchia di memoria
- ☒ il processore deve attendere solo la scrittura in cache
- ☐ viene immediatamente inviata una risposta al processore, prima che l'operazione di scrittura sia terminata in cache

13. Scrivere algoritmi diversi o semplicemente implementare lo stesso algoritmo con codice diverso:

Contrassegna solo un ovale.

- ☒ Può produrre un impatto sull'hit rate della cache
- ☐ Non può produrre un impatto sull'hit rate della cache
- ☐ Produce necessariamente un qualche impatto sull'hit rate della cache

14. In un sistema con cache di primo livello associativo su insiemi direttamente collegata alla memoria principale, l'adozione di una memoria principale modulare interallacciata (con M moduli), quale di questi collegamenti fra memoria principale e cache garantisce le migliori prestazioni?

Contrassegna solo un ovale.

- ☐ un collegamento che permette il trasferimento contemporaneo di M parole
- ☒ un collegamento che permette il trasferimento di b parole alla volta
- ☐ un collegamento che permette il trasferimento contemporaneo di b/M parole
- ☐ un collegamento che permette il trasferimento contemporaneo di M/b parole

15. Il codice

```
for(i=0; i<N; i++)  
    a[i%16] = f(b[i]);
```

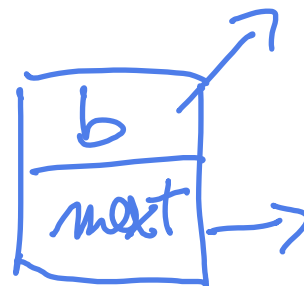
Contrassegna solo un ovale.

- ☐ presenta località spaziale e temporale sui dati
- ☐ presenta solo località spaziale sui dati
- ☐ presenta solo località temporale sui dati
- ☒ presenta località spaziale e temporale su A e solo località spaziale su B
- ☐ presenta solo località temporale su A e solo località spaziale su B

16. Nel codice che segue, l'accesso agli elementi della lista:

```
while(punt != NULL) {
    for(i=0; i<N; i++) {
        a[i] = f((punt->b)[i]);
        punt = punt->next;
    }
}
```

fuori dal ciclo for



Contrassegna solo un ovale.

- ☒ presenta località spaziale
- ☐ presenta località temporale
- ☐ presenta località spaziale e temporale

17. Assumendo che $N=1024$, A matrice $N \times N$ e B vettore di 256 posizioni, qual'è il working set del codice:

```
for(i=0; i<N; i++)
    for(j=0; j<N; j++)
        a[i][j] = f(b[a[i][j]%256]);
```

Contrassegna solo un ovale.

- ☐ Tutto A e tutto B
- ☒ Una linea di A e tutto B
- ☐ Una linea di A e una linea di B
- ☐ Tutto A e una linea di B

18. Data una cache di capacità $C=512$ byte di tipo set-associativo a 4 vie ed 8 insiemi. La parola di memoria è a 16 bit. Quante parole si possono memorizzare in una linea di cache (ossia quanto vale "b")?

Contrassegna solo un ovale.

- ☐ b=2
☐ b=4
☒ b=8
☐ b=16

$$512 = 8 \cdot 4 \cdot 2 \cdot b$$

19. Si consideri un sistema con una gerarchia cache e memoria principale. Sapendo che T_{cache} e T_{mem} valgono rispettivamente 1 e 35 cicli di clock; il cache hit rate è 85%; la CPU ha una frequenza di clock di 2.5 GHz. Qual è il tempo medio per un accesso in memoria (AMAT)?

Contrassegna solo un ovale.

- ☐ 12.3 ns
☒ 2.5 ns
☐ 6.25 ns
☐ 3.125 ns

$$AMAT = \left(1 + 0.15 \cdot 35\right) \cdot \frac{1}{2.5} = 2.5 \text{ ns}$$

20. Si consideri il codice in figura. Si consideri un sistema con indirizzi a 32 bit, cache dati completamente associativa di capacità $C=32$ parole con $b=8$. Supponendo che la cache sia inizialmente vuota, e che se necessario l'algoritmo di rimpiazzamento opera con politica LRU, qual è il miss rate generato dal frammento di codice? Si ricorda che $\text{sizeof(int)}=4$.

```
int max = INT_MIN;  
  
for(int i=0;i<64;++i)  
    if (A[i]>max) max=A[i];
```

Contrassegna solo un ovale.

- ☐ 100 %
☐ 50 %
☐ 25 %
☒ 12.5 %

Solo compulsory miss,
i fault sono $\frac{N}{b} \rightarrow \frac{64}{8} = 8$
 $\text{MissRate} = \frac{8}{64} = 0.125$

21. Un'interruzione generata da un dispositivo di I/O

Contrassegna solo un ovale.

- ☐ E' un evento asincrono che sblocca il ciclo di polling della CPU sul dispositivo di I/O
☐ E' un evento sincrono indirizzato alla CPU sul quale è registrato un handler per la sua gestione
☐ E' un evento sincrono diretto al DMA controller
☒ E' un evento asincrono indirizzato alla CPU sul quale è registrato un handler per la sua gestione

22. In un sistema che utilizza il modello di gestione Programmed I/O, il processore dopo aver inviato il comando di I/O:

Contrassegna solo un ovale.

- ☐ Esegue un numero fisso di altre istruzioni
☒ Esegue un ciclo di polling per testare lo stato dell'operazione sul dispositivo
☐ Esegue altre istruzioni in attesa di una interruzione proveniente dal dispositivo
☐ Esegue in un ciclo di polling in attesa che sia completato il trasferimento DMA

23. Un dispositivo di I/O è in grado di trasferire dati ad un rate massimo di 8MB/s. Il dispositivo invia un'interruzione al processore non appena il buffer interno raggiunge 8KB così da svuotarlo. Supponendo che il dispositivo trasferisca in modo continuo alla massima velocità e che il processore abbia una clock a 1GHz, quanti cicli di clock intercorrono tra la ricezione di due interruzioni consecutive. Si consideri, per semplicità, KB e MB rispettivamente 10^3 e 10^6 byte, anziché 2^{10} e 2^{20} .

Contrassegna solo un ovale.

- ☐ 1K cicli
☒ 1M cicli
☐ 1.2M cicli
☐ 1.25M cicli

Tempo per trasferire 8K è

$$\frac{8\text{KB/s}}{8\text{MB/s}} = 10^{-3}\text{s} \quad (1\text{ms})$$

$$1\text{GHz} = 1\text{ns} = 1\text{ciclo}$$

$$1\text{ms} \rightarrow 1'000'000 \text{ cicli} \quad (1\text{M cicli})$$

24. In un sistema con memory-mapped I/O

Contrassegna solo un ovale.

- ☐ il processore utilizza istruzioni LDRS e STRS per indicare che le operazioni vanno eseguite sulle memorie delle periferiche invece che sul sottosistema di memoria
- ☐ il processore utilizza istruzioni speciale, funzionalmente equivalenti alle LDR e STR, per indicare che le operazioni vanno eseguite sulle memorie delle periferiche invece che sul sottosistema di memoria
- ☐ la MMU riconosce gli indirizzi relativi alle periferiche di I/O e indirizza le richieste del processore o verso il bus DMA o verso il sottosistema di memoria di conseguenza
- ☒ la MMU riconosce gli indirizzi relativi alle periferiche di I/O e indirizza le richieste del processore o verso il bus di I/O o verso il sottosistema di memoria di conseguenza

25. Un bus di I/O generico

Contrassegna solo un ovale.

- ☐ Necessita di un arbitro centralizzato per la gestione degli accessi fra più unità di I/O
- ☐ Necessita di un arbitro distribuito per la gestione degli accessi fra più unità di I/O
- ☐ Può funzionare senza alcun arbitro per la gestione degli accessi fra più unità di I/O
- ☒ Può funzionare con qualsiasi tipo di arbitro (centralizzato o distribuito) per la gestione degli accessi fra più unità di I/O

26. Si consideri un programma in cui il 40% del suo tempo viene speso per effettuare operazioni di I/O. Se il sottosistema di I/O dell'architettura su cui eseguo il programma viene migliorato di un fattore 2, quale speedup mi posso aspettare sul tempo di esecuzione del programma.

Contrassegna solo un ovale.

- ☐ 2
- ☐ 1.20
- ☒ 1.25
- ☐ 1.30

Si applica la legge di Amdahl

$$\text{Speedup} = \frac{1}{0.6 + \frac{0.4}{2}} = 1.25$$

27. I cicli di stallo dovuti agli accessi alla gerarchia di memoria possono essere calcolati come:

Contrassegna solo un ovale.

- ☐ $CPI_{stall} = InstructionCount * MissPenalty$
- ☐ $CPI_{stall} = InstructionCount * MissRate$
- ☒ $CPI_{stall} = MissRate(memory-instructions) * MissPenalty$
- ☐ $CPI_{stall} = MissRate(memory-instructions) / MissPenalty$
- ☐ $CPI_{stall} = MissRate(memory-instructions) * InstructionCount$
- ☐ $CPI_{stall} = CPI - MissRate(memory-instructions) * MissPenalty$

Questi contenuti non sono creati né avallati da Google.

Google Moduli